

Docket No.: 2336-200

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	
	:	
CHOI, Ik Seo et al.	:	
	:	
U.S. Patent Application No. <i>Not yet assigned</i>	:	Group Art Unit: <i>Not yet assigned</i>
	:	
Filed: <i>Herewith</i>	:	Examiner: <i>Not yet assigned</i>

For: CERAMIC PACKAGE AND FABRICATION METHOD THEREOF

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

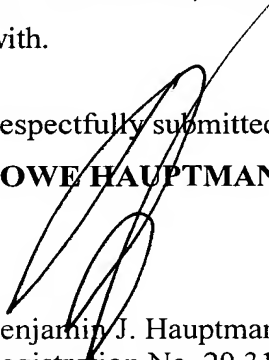
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of Korean Patent Application No. 2003-37031, filed June 10, 2003 in the present application. The certified copy is submitted herewith.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP



Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/etp
Facsimile: (703) 518-5499
Date: August 1, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0037031
Application Number

출원년월일 : 2003년 06월 10일
Date of Application JUN 10, 2003

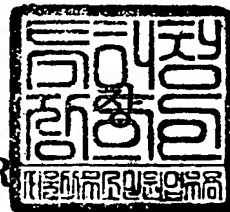
출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 06 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.10
【국제특허분류】	H21L 23/12
【발명의 명칭】	세라믹 패키지 및 그 제조방법
【발명의 영문명칭】	CERAMIC PACKAGE AND MANUFACTURING METHOD THEREOF
【출원인】	
【명칭】	삼성전기 주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【성명】	손원
【대리인코드】	9-1998-000281-5
【포괄위임등록번호】	2002-047982-8
【대리인】	
【성명】	이건철
【대리인코드】	9-2002-000134-3
【포괄위임등록번호】	2002-047989-9
【발명자】	
【성명의 국문표기】	최익서
【성명의 영문표기】	CHOI, Ik Seo
【주민등록번호】	660514-1068522
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1027번지 신정마을 진흥아파트 624동 502호
【국적】	KR
【발명자】	
【성명의 국문표기】	전석택
【성명의 영문표기】	JUN, Seok Taek
【주민등록번호】	670302-1108514

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을 421-1803
【국적】	KR
【발명자】	
【성명의 국문표기】	김용욱
【성명의 영문표기】	KIM, Yong Wook
【주민등록번호】	730306-1648712
【우편번호】	152-850
【주소】	서울특별시 구로구 구로6동 317-51호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정섭
【성명의 영문표기】	CHOI, Jung Sub
【주민등록번호】	750214-1120122
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 늘푸른벽산아파트 115동 1901호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 손원 (인) 대리인 이건철 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	564,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 내부단자와 외부단자 사이의 연결패턴의 구조를 개선한 세라믹 다층기판 및 그 제조방법에 관한 것이다.

본 발명은 내부에 적어도 하나의 부품을 내장하는 세라믹 패키지에 있어서, 내부에 상기 부품이 실장될 수 있는 캐비티가 형성되고, 일부 또는 전부에 내부패턴이 형성된 다수개의 세라믹층이 적층되어 형성되는 적층체 구조물; 상기 캐비티 내부의 기밀을 유지하도록, 상기 적층체 구조물의 캐비티 상부에 장착되는 리드; 상기 적층체 구조물 외부에 형성되는 외부 연결단자; 상기 외부 연결단자와 전기적으로 연결되며, 적어도 2개의 세라믹층에 분할되어 수평방향으로 형성되는 내부 연결패턴; 및 상기 내부 연결패턴의 일부 또는 전부 및 상기 부품과 전기적으로 연결되도록 상기 캐비티 내에 형성되는 내부 연결단자;를 포함하는 세라믹 패키지를 제공한다.

【대표도】

도 5

【색인어】

패턴, 캐비티, 세라믹, 패키지, LTCC

【명세서】

【발명의 명칭】

세라믹 패키지 및 그 제조방법{CERAMIC PACKAGE AND MANUFACTURING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 내부에 부품이 실장된 종래의 세라믹 패키지의 단면도이다.

도 2는 도 1의 세라믹 패키지에서 내장 부품의 실장층을 도시한 평면도이다.

도 3은 도 1의 세라믹 패키지에서 캐비티 상부 접지층을 도시한 평면도이다.

도 4는 내부에 부품이 실장된 종래의 다른 세라믹 패키지의 단면도이다.

도 5는 본 발명에 의한 세라믹 패키지의 단면도이다.

도 6은 도 5의 A 부분의 확대 단면도이다.

도 7a는 도 5의 세라믹 패키지의 내장 부품 실장층의 평면도이다.

도 7b는 도 7a의 내장 부품 실장층과 연결되는 연결패턴이 형성된 층의 평면도이다

도 8a는 도 5의 세라믹 패키지의 캐비티 상부 접지층을 도시한 평면도이다.

도 8b는 도 8a의 접지층과 연결되는 연결패턴이 형성된 층의 평면도이다.

도 9는 본 발명에 의한 세라믹 패키지 구조의 고주파 복합모듈의 세라믹층들을 도시한 것이다.

도 10은 도 5의 세라믹 패키지의 변형 실시예이다.

* 도면의 주요부분에 대한 부호의 설명 *

100: 캐비티 형성층

101: 부품 실장층

102: 부품

104: 접착수단

105, 107, 110: 내부 연결패턴

106: 외부 연결단자

108: 내부 연결단자

115: 내부 패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<19> 본 발명은 내부 캐비티에 부품을 실장하는 세라믹 다층기판 및 그 제조방법에 관한 것으로, 보다 상세하게는 내부단자와 외부단자 사이의 연결패턴의 구조를 개선한 세라믹 다층기판 및 그 제조방법에 관한 것이다.

<20> 저온 소성 세라믹(Low Temperature Co-fired Ceramic, 이하 'LTCC' 라함) 기판 제조 기술은 주로 글라스 세라믹(Glass-Ceramic) 재료를 기반으로 이루어진 다수의 그린시트(green sheet) 층에 주어진 회로를 구현하기 위한 수동 소자(R, L, C)를 전기전도도가 우수한 Ag, Cu 등을 사용하는 스크린 프린팅 공정으로 구현하고, 각층을 적층한 후 세라믹과 금속 도체를 동시 소성하여 (대개 1000 °C 이하) MCM (Multi-Chip Module) 및 다중칩 패키지(Multi-Chip Package)를 제조하는 것을 말한다.

<21> LTCC 기술은 세라믹과 금속의 동시 소성이 가능한 공정 특징에 따라서 모듈내부에 수동소자(R, L, C)를 구현할 수 있는 장점을 갖고 있으므로 부품들간의 복합화와 경박단소화를 가능케 한다.

<22> LTCC 기판은 이와 같은 내부수동소자(Embedded Passives)를 구현할 수 있는 특징으로 인하여 SOP(System-On-a-Package)를 구현할 수 있어 SMD(Surface Mounted Device) 부품에서 발생하는 기생효과(parasitic effect)를 최소화 시킬 수 있고, 표면 실장 시 납땜 부위에서 발생하는 전기적인 노이즈 신호의 감소에 의한 전기적 특성의 향상 및 납땜 수의 감소에 의한 신뢰성 향상의 장점을 갖게 된다. 또한 LTCC의 경우 Tf (Temperature Coefficient of Resonant Frequency)의 값을 열팽창 계수를 조절하여 최소화 시킬 수 있어 유전체 공진기의 특성을 조절할 수 있는 특징도 갖고 있다.

<23> 또한, LTCC 기판에 SAW(surface acoustic wave) 필터, 트랜지스터와 같은 능동소자, PAM(Power Amp Module) 등의 부품을 실장할 수 있으며 이를 통해 다기능 복합화 모듈을 구현할 수 있다. 특히 SAW 필터를 LTCC 기판에 실장하는 방법으로는 LTCC 기판 내에 공간(CAVITY, 캐비티)을 가공하고 그 공간 내에 SAW 필터 칩을 내장시키는 방법과, SAW 필터 부품을 LTCC 기판의 외부면에 표면 실장하는 방법이 있다.

<24> 상기와 같이 캐비티 내에 SAW 필터 칩을 실장하는 것은 부품의 크기와 재료비 등의 절감이 가능하게 되는 장점이 있으며, 향후 추가적인 기능의 복합화와 제품의 소형화에 보다 유리한 설계방식으로 분류되고 있다. 그러나, LTCC 기판의 캐비티 내에 부품을 실장하는 패키지에 있어서, 내장된 부품이 일정 수준 이상의 기밀도를 필요로 하는 경우, LTCC 기판은 그러한 기밀도를 유지하여 내장한 부품을 외부의 환경으로부터 보호하도록 하여 정상적인 작동이 가능하도록 하여야 한다.

<25> 특히 SAW 필터와 같이 실장되는 공간에 일정 수준 이상의 기밀도를 필요로 하는 경우 LTCC 기법에 의한 패키지에 있어서 일정 수준의 기밀도 유지가 문제되어 왔다.

<26> 도 1은 내부에 부품이 실장된 종래의 세라믹 패키지의 단면도이다.

- <27> 도 1에서, 세라믹 패키지는 세라믹 다층 기판으로 형성되는 부품 실장층(11)과 캐비티 형성층(10)을 포함하고, SAW 필터 등과 같은 부품(12)이 도전성 접착수단(18) 등에 의해 캐비티(19)에 실장되어 있다. 캐비티 형성층(10)의 상부에는 패키지의 캐비티(19)의 기밀을 유지하도록 하기 위한 리드(13)가 접착층(14)을 통해 장착된다.
- <28> 이때, 캐비티(19) 내부에 있는 부품(12)이 외부와의 신호 교환을 위해 외부단자와 연결되도록 내부 연결패턴(15, 15')이 형성된다. 상기 내부 연결패턴(15, 15')은 세라믹 기판의 내부를 통하여 외부단자까지 연결되며, 적층되는 여러 개의 세라믹층 중에서 특정층에 존재하게 되는 연속 패턴이 된다.
- <29> 이를 좀더 상세히 살펴본다. 도 2는 도 1의 세라믹 패키지에서 내장 부품의 실장층을 도시한 평면도이다. 부품 실장층(11) 상에 형성되는 내부 연결패턴(15)은 캐비티 내의 부품 및 외부단자(16)와 연결되도록 연속적인 패턴으로 형성되어 있다.
- <30> 또한, 캐비티 상부에 위치하는 리드(13) 등과 연결되어 접지 기능 등을 수행하는 접지층이 도 3에 도시되어 있다. 도 3은 도 1의 세라믹 패키지에서 캐비티 상부 접지층을 도시한 평면도이다. 도 3에서 캐비티(19) 형성층(10) 상에는 외부단자(16')와 연결되는 연속적인 패턴층(15')이 형성됨을 볼 수 있다.
- <31> 상기 도 2 및 도 3에서와 같이 세라믹 다층 기판 내에 연결 패턴층을 형성한 세라믹 패키지를 형성할 때, 연결 패턴층을 사이에 두고 세라믹 기판들을 단지 그들 사이의 밀착도에만 의존하여 접합하게 된다. 즉, 연결패턴은 캐비티 내부로부터 세라믹 패키지 외부까지 하나의 층 상에 연속적으로 형성된다. 이때 외부단자(16, 16') 및 연결 패턴층(15, 15')들을 통해 외부에서부터의 리크(leak) 현상이 발생하는 경로가 형성된다. 이와 같은 리크 경로는 캐비티 내에 일정 수준 이상의 기밀도를 유지하기 어렵게 만든다.

- <32> 이와 같이 캐비티를 갖는 세라믹 다층기판 구조에서 내장된 부품의 진공도(또는 기밀도)가 열화되는 것을 리크 불량이라고 일컫는다. 리크 불량의 원인은 상기와 같은 기판의 외부단자와 연결되는 세라믹 다층기판 상의 내부 연결패턴이 캐비티 내부까지 동일층에서 연장되는 패턴 구조에서 기인한다. 리크의 전파 경로는 연결단자의 패턴에 존재하는 것으로 알려져 있다.
- <33> 또한, 연결패턴층을 사이에 두고 세라믹 기판들을 밀착시키기 위하여 세라믹 기판들의 적층 압력을 과도하게 인가할 경우, 부품이 실장되는 바닥면의 평탄도가 열화되는 현상이 발생하여 부품의 실장 불량을 초래할 수 있게 되는 문제가 발생한다.
- <34> 도 4는 내부에 부품이 실장된 종래의 다른 세라믹 패키지의 단면도이다. 도 4의 세라믹 패키지 역시 도 1에서와 마찬가지로 부품 실장층(21) 및 캐비티 형성층(20)을 포함하게 된다. 상기 세라믹 패키지의 캐비티(29)에는 SAW 필터와 같은 부품(22)이 도전성 접착수단(28)을 통해 실장된다. 또한 캐비티(29) 상부에는 리드(23)가 접착수단(24)을 통해 캐비티 내부의 기밀도를 유지하도록 장착된다.
- <35> 이때 내장되는 부품(22)이 외부와 신호를 교환하도록 외부단자(26)와 내부 부품(22)에 접촉하는 내부단자(27) 간 신호교환을 하는 연결패턴(25)을 형성한다. 연결패턴(25)은 내부 단자(27)의 하방에 적층되는 세라믹 기판들에 도전성 재료가 채워진 비아홀을 통해 형성된다.
- <36> 이러한 구조는 도 1에서와 같이 세라믹 패키지의 측면으로 외부전극을 형성하고 내부 연결패턴을 패키지 측면으로 수평적으로 뽑아내는 구조와는 다르게 된다. 도 4의 구조는 측면으로 연결되는 전극을 제거하여 캐비티 내부의 기밀도를 좀더 향상시킬 수 있는 구조가 된다.

<37> 그러나, 상기와 같은 구조에서는 내부와 외부로 연결하는 전극을 수직방향으로 외부 단자측으로 연결함으로써, 내부 부품 하부측의 세라믹 다층 기판들의 회로요소를 구현하기 위한 패턴의 설계에 제약을 받게 되는 문제가 있다. 즉, 이들은 내부에 별도의 회로 부품을 구현하는 패턴이 존재하지 않는 SAW 패키지 또는 진동자와 같은 간단한 패키지에만 적용 가능한 문제가 있다.

<38> 또한, 상기와 같이 하부로 비아홀을 형성하여 내부 연결 패턴을 형성하는 것은 세라믹 기판에 소정 직경의 비아홀을 형성해야 하는 설계상의 제약으로 인하여 제품의 소형화가 어렵게 된다.

<39> 따라서, 상기와 같은 문제를 해결하기 위한 세라믹 패키지의 설계방식이 당 기술분야에서 요구되어 왔다.

【발명이 이루고자 하는 기술적 과제】

<40> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 외부에서부터의 리크(leak) 현상이 발생하는 경로가 형성되는 것을 방지하여 세라믹 패키지의 리크 불량 발생을 방지하는 것을 목적으로 한다.

<41> 또한, 본 발명은 세라믹 패키지의 제조시 리크 불량을 방지하기 위하여 세라믹 기판들을 과도하게 가압하여 부품이 실장되는 바닥면의 평탄도가 열화되는 현상에 의한 부품의 실장 불량 현상을 방지하는 것을 목적으로 한다.

<42> 또한 본 발명은 세라믹 다층 기판들의 회로요소를 구현하기 위한 패턴의 설계자유도를 향상시키며, 제품의 소형화를 이룰 수 있는 구조의 세라믹 패키지를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<43> 상기와 같은 목적을 달성하기 위한 구성수단으로서, 본 발명은 내부에 적어도 하나의 부품을 내장하는 세라믹 패키지에 있어서, 내부에 상기 부품이 실장될 수 있는 캐비티가 형성되고, 일부 또는 전부에 내부패턴이 형성된 다수개의 세라믹층이 적층되어 형성되는 적층체 구조물; 상기 캐비티 내부의 기밀을 유지하도록, 상기 적층체 구조물의 캐비티 상부에 장착되는 리드; 상기 적층체 구조물 외부에 형성되는 외부 연결단자; 상기 외부 연결단자와 전기적으로 연결되며, 적어도 2개의 세라믹층에 분할되어 수평방향으로 형성되는 내부 연결패턴; 및 상기 내부 연결패턴의 일부 또는 전부 및 상기 부품과 전기적으로 연결되도록 상기 캐비티 내에 형성되는 내부 연결단자;를 포함하는 세라믹 패키지를 제공한다.

<44> 바람직하게는, 상기 분할된 내부 연결패턴들은 비아홀을 통해 서로 전기적으로 연결되는 것을 특징으로 한다. 또한 바람직하게는, 상기 내부 연결패턴은 서로 인접한 세라믹층들에 분할되어 형성되는 것을 특징으로 한다.

<45> 바람직하게는, 상기 내부 연결패턴은 상기 리드에 인접하여 형성되는 제1 내부 연결패턴 및 상기 내부 연결단자와 연결되는 제2 내부 연결패턴을 포함하는 것을 특징으로 하며, 더욱 바람직하게는, 상기 제2 내부 연결패턴은 상기 내부 연결단자 전기적으로

연결되도록 같은 층상에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 내부 연결단자와 다른 층상에 형성되는 제2 패턴을 포함할 수 있고, 상기 제1 내부 연결패턴은 상기 리드 실장층에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 제1 패턴 형성층과 다른 층상에 형성되는 제2 패턴을 포함할 수 있다.

<46> 바람직하게는, 상기 제2 내부 연결패턴 하부의 세라믹층에는 여러 회로요소를 구현하는 내부 패턴들이 형성되는 것을 특징으로 한다.

<47> 또한 본 발명은, 캐비티 내부에 부품을 실장할 수 있도록 형성되는 세라믹 패키지 제조방법에 있어서, 다수개의 세라믹 기판을 마련하는 단계; 상기 다수개의 세라믹 기판 중 일부 또는 전부에 회로 요소를 구현하도록 패턴층을 형성하는 단계; 상기 다수개의 세라믹 기판 중 일부에 외부와 신호를 교환하는 외부 연결단자 및 상기 부품과 연결되는 내부 연결단자를 형성하는 단계; 상기 캐비티 상부면에 실장되는 리드 또는 상기 내부 연결단자를, 상기 외부 연결단자와 연결하는 내부 연결패턴을 적어도 2 이상의 세라믹 기판 상에 분할하여 형성하는 단계; 분할된 상기 내부 연결패턴들이 서로 전기적으로 연결되도록 내부 연결패턴이 형성된 세라믹 기판 중 일부에 도전성의 비아홀을 형성하는 단계; 및 상기 세라믹 기판들을 적층하는 단계;를 포함하는 세라믹 패키지 제조방법을 제공한다.

<48> 바람직하게는, 상기 내부 연결패턴은 서로 인접한 세라믹층들에 분할되어 형성되는 것을 특징으로 하며, 또한 상기 내부 연결패턴은 상기 리드에 인접하여 형성되는 제1 내부 연결패턴 및 상기 내부 연결단자와 연결되는 제2 내부 연결패턴을 포함하는 것을 특징으로 한다.

- <49> 바람직하게는, 상기 제2 내부 연결패턴은 상기 내부 연결단자 전기적으로 연결되도록 같은 층상에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 내부 연결단자와 다른 층상에 형성되는 제2 패턴을 포함하며, 또한 상기 제1 내부 연결패턴은 상기 리드 실장층에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 제1 패턴 형성층과 다른 층상에 형성되는 제2 패턴을 포함할 수 있다.
- <50> 바람직하게는 상기 제2 내부 연결패턴 하부의 세라믹층에는 여러 회로요소를 구현하는 내부 패턴들이 형성되는 것을 특징으로 한다.
- <51> 이하 본 발명에 대하여 첨부된 도면에 따라서 보다 상세히 설명한다.
- <52> [패키지 구조]
- <53> 도 5는 본 발명에 의한 세라믹 패키지의 단면도이다. 도 5의 세라믹 패키지는 다수개의 세라믹 재료층이 적층되어 형성되는 적층체 구조물과, 적층체 구조물의 상부면에 장착되는 리드, 상기 구조물의 외부에 형성되는 외부 연결단자, 캐비티 내부에 연결되는 내부 연결단자를 포함하게 된다.
- <54> 본 발명의 세라믹 패키지에 있어서의 적층체 구조물(100,101)은 다수개의 재료층이 적층되어 하나의 패키지를 형성하는 적층체를 의미하는 것으로, 전기적, 유전적, 자기적 성질을 표출하는 재료층을 적절히 선택하여 사용하게 된다. 특히 상기 재료층으로는 일정두께를 갖는 세라믹 그린 시트를 사용하는 것이 일반적이며, 이와 같은 시트들 상에는 금속 도포막이 일정 형태로 도포되어 하나의 패턴층을 형성하게 된다. 이러한 패턴층은 적층되어 여러 회로 요소의 기능을 수행하게 된다. 상기 패턴층은 Ag, Cu 등과 같은 금속으로 형성된다. 상기와 같은 세라믹 시트가 여러 개 적층되고, 이를 금속 용접 이하의

온도에서 소성하여 형성되는 하나의 적층체 구조물을 저온 소성 세라믹 다층기판이라 한다.

<55> 상기 적층체 구조물은 부품(102)이 실장되는 실장층(101)과 실장층 상부에 적층되어 캐비티(109)를 형성하는 캐비티 형성층(100)을 포함하게 된다. 통상적으로 캐비티(109)는 적층체 구조물의 중앙 부위에 형성되며, 부품(102)이 실장되는 공간을 제공하게 된다. 상기 캐비티(109)의 내부에는 실장되는 부품의 종류에 따라서 기밀성이 요구되는 경우가 있으며, 이러한 기밀성을 유지하기 위하여 캐비티 상부면에 리드(103)를 접촉수단(104)을 통하여 장착하게 된다.

<56> 한편, 상기 적층체 구조물의 실장층(101) 및 캐비티 형성층(100)들의 일부 또는 전부에는 임의의 회로요소 기능을 수행하도록 내부 패턴(115)들이 형성되어 있다.

<57> 또한, 상기와 같이 캐비티 내부에 기밀도를 유지하면서 실장되는 부품에는 표면 탄성과 필터(SAW Filter) 또는 트랜지스터와 같은 능동소자를 포함한 파워 앰프 모듈(Power Amp Module, PAM) 등이 있다. 이러한 부품들은 습도, 온도, 분진 등의 외부 환경에 따라 그 특성이 심하게 변하게 되기 때문에, 부품이 실장되는 공간은 이러한 외부 환경으로부터 부품을 보호하기 위하여 기밀도의 유지가 필요로 하게 된다.

<58> 상기와 같이 형성되는 적층체 구조물의 외부에는 외부와 신호를 주고 받을 수 있도록 외부 연결단자(106)가 형성된다. 외부 연결단자는 필요한 설계상의 요구에 따라 임의의 부위에 형성될 수 있으며, 통상적으로 제품의 소형화 및 패턴 설계의 복잡화에 따라 다층 세라믹 기판들의 측면 부위에 형성되는 것이 일반적이다. 본 발명에서의 세라믹 패

키지에서도 역시 외부 단자는 패키지 측면부에서 내부 패턴들과 신호를 교환할 수 있도록 연결되어 있다.

<59> 또한, 상기 적층체 구조물의 캐비티(109)에 실장되는 부품(102)들은 내부 연결단자(108)와 전기적으로 연결되어 있다. 내부 연결단자(108)들은 부품(102)이 외부와 신호를 교환할 수 있도록 외부 연결단자(106)와도 전기적으로 연결된다.

<60> 상기 내부 연결단자(108)와 외부 연결단자(106)들을 상호 연결하는 패턴, 즉 내부 연결패턴(105,107,110)이 상기 적층체 구조물(100,101)의 세라믹층 간에 형성된다. 내부 연결패턴(105,107,110)은 적층되는 세라믹층들에 각각 분할되어 형성된다.

<61> [내부 연결패턴]

<62> 도 5에는 실장층(101)에 형성되는 내부연결패턴(105,107,110) 및 캐비티 형성층(100) 상부에 형성되는 내부연결패턴(105' ,107' ,110')이 도시되어 있다. 먼저, 부품 실장층(101)에 형성되는 내부 연결패턴(105,107,110)을 살펴본다.

<63> 도 6은 도 5의 “A” 부분을 확대 도시한 도면이다. 본 발명의 세라믹 패키지에서 내부 연결단자(108)와 외부 연결단자(106)를 연결하는 내부 연결패턴은 도 6에 도시한 바와 같이 적어도 두개의 세라믹층들에 걸쳐서 분할되어 수평방향으로 형성된다.

<64> 상기 내부 연결패턴은 상기 리드(103)에 인접하여 형성되는 제1 내부 연결패턴(105' ,107' ,110') 및 상기 내부 연결단자(108)와 연결되는 제2 내부 연결패턴(105,107,110)을 포함할 수 있다. 제1 내부 연결패턴(105' ,107' ,110')은 리드(103)

하부면과 접촉수단(104)을 통해 접하고 있다. 제1 내부 연결패턴은 주로 접지기능을 수행하기 위한 것으로, 내부 연결단자(108)와 연결되지는 않게 된다.

<65> 또한, 제2 내부연결패턴(105,107,110)은 캐비티(109) 내부에 실장되는 부품(102)과 접하는 내부 연결단자(108)를 외부단자와 전기적으로 연결하기 위한 것으로, 구체적으로는 내부 연결단자와 연결되는 제1 패턴(110)이 제1 세라믹층(121) 상에 수평방향으로 형성되고, 상기 제1 패턴(110)과 연결되도록 제2 세라믹층(122) 상에 수평방향으로 제2 패턴(105)이 형성된다. 상기와 같이 분할된 제1 패턴(110)과 제2 패턴(105)들은 서로 비아홀(107)을 통해 전기적으로 연결된다.

<66> 상기 비아홀(107)은 도전성의 물질이 채워진 것으로, 제1 패턴(110)이 형성된 세라믹층(121)에 형성되며, 이때 제1 세라믹층(121)과 제2 세라믹층(122)은 서로 인접한 세라믹층이 된다. 다만, 상기와 같이 제1 및 제2 패턴들로 설명한 것은, 단지 설명의 편의를 위한 것으로 본 발명의 기술사상은 이에 한정되는 것은 아니다. 즉, 내부 연결단자는 3개의 세라믹층들에 각각 분할되어 형성될 수 있으며, 그 이상의 세라믹층들에 분할되어 형성되는 것도 가능하다.

<67> 상기 제1 패턴(110) 및 제2 패턴(105)은 도 5에서와 같이 제1 패턴(110)이 상부에, 제2 패턴(105)이 하부측에 위치할 수 있다. 또한 도 10에서와 같이 제1 패턴(110)이 제2 패턴의 하부측에 형성되는 것도 가능하다. 도 10의 내부 연결패턴에서는 비아홀(107)이 제2 패턴(105)이 형성된 세라믹층(122)에 형성되어 있게 된다.

<68> 도 7a는 도 5의 세라믹 패키지의 내장 부품 실장층(101)의 최상부 세라믹층(121)의 평면도이다. 도 7a에서, 내부 연결패턴인 제1 패턴(110)은 외부단자가 위치하는 외주연까지는 연속적으로 뻗어있지 않게 되며, 외주연과 소정 간격 이격되는 위치까지만 형성된다. 상기 소정의 이격된 공간을 통하여 세라믹 재질인 캐비티 형성층(100)과 실장층(101)이 직접 접촉한 상태에서 소결되기 때문에 완전히 밀폐된 캐비티를 형성할 수 있다. 상기 제1 패턴(110)의 끝부분에는 각각 도전성의 비아홀(107)이 형성되어 있으며, 이러한 비아홀은 상기 제1 패턴(110)을 도 7b의 제2 패턴(105)과 전기적으로 연결시키기 위한 것이다.

<69> 이러한 구성은 종래 내부 연결패턴들이 하나의 세라믹층들에 형성되어 기판의 외주연까지 뻗어있게 되어 세라믹층들을 적층결합시에 내부 연결패턴 형성면에서 리크가 발생하는 것을 방지하기 위한 구조이다.

<70> 또한 도 7b에서는 상기 도 7a의 제1 패턴(110)과 연결되는 제2 패턴(105)이 형성된다. 제2 패턴(105)은 외부 연결단자(106)와 연결되며, 내측으로 소정간격만큼만 뻗어있게 된다. 제2 패턴(105)은 제1 패턴(110)과 그에 형성된 비아홀(107)을 통해 서로 전기적으로 연결되며, 결국 내부 연결단자(108)와 외부 연결단자(106)를 연결하게 된다.

<71> 도 7b에서와 같이 제2 패턴을 형성하여 리크 발생 경로를 제거할 수 있게 된다. 제2 패턴이 형성된 세라믹층(122)에는 각 세라믹층간의 내부 패턴면(105)이 짧은 길이만큼만 형성되기 때문에 외부로부터의 리크 발생 경로가 짧아져서 리크 발생이 방지되며, 또한 제2 패턴(105)이 세라믹층 내부까지 뻗어있지 않기 때문에, 내부로부터의 리크 발생은 불가능하게 되는 장점을 얻을 수 있다.

- <72> 도 8a는 도 5의 세라믹 패키지의 캐비티 상부 접지층을 도시한 평면도이다. 도 8a에서, 제1 패턴(110')이 캐비티 상부 접지층의 제1 세라믹층(123)에 형성된다. 상기 부품 실장층의 내부 연결패턴과 마찬가지로 제1 패턴(110')은 외부 연결단자와 연결되지 않으며, 세라믹층(123)의 내부에만 형성되어 있다.
- <73> 도 8b는 제1 세라믹층(123) 하부에 적층되는 제2 세라믹층(124)을 도시한 것으로, 제2 세라믹층(124)에는 상기 제1 패턴(110')과 연결되는 제2 패턴(105')이 형성된다. 제2 패턴(105')은 외부 연결단자(106)와 연결되어 있으며, 상기 제1 패턴(110')의 비아홀(107')과 접촉할 수 있는 위치까지 내부를 향해 뻗어있게 된다.
- <74> 이와 같은 구조의 내부 연결패턴 역시 2개의 세라믹층들에 분할되어 형성되기 때문에 패키지의 내부 또는 외부로부터의 리크(leak)의 전달 경로가 형성되지 않게 되는 특징이 있게 된다.
- <75> 상기 도면들에서와 같이 내부 연결패턴은 세라믹 패키지의 측면을 향해 수평으로 형성되며, 적어도 두개의 층을 통해 분할되어 형성된다. 이러한 설계 방식은 리크 전달 경로를 형성하지 않도록 하는 특징이 있으며, 또한 연결패턴이 하부로 형성되지 않도록 함으로써 다수개의 세라믹층을 적층하여 형성되는 세라믹 패키지의 내부 패턴 설계 영역을 축소시키지 않도록 하여 설계 자유도를 향상시키는 특징을 갖게 된다. 이하에서 좀더 자세히 설명한다.

- <76> 도 9는 본 발명의 세라믹 패키지의 일 예로써 고주파 복합부품을 형성하는 적층구조물들을 구성하는 유전체층의 구조를 도시하고 있다. 도 9에서 제1 유전체층(S1) 내지 제7 유전체층(S7)은 하부 적층구조물, 즉 부품 실장층(101)을 형성하고, 제8 유전체층(S8) 내지 제16 유전체층(S16)은 상부 적층구조물, 즉 캐비티 형성층(100)을 형성하게 된다.
- <77> 도 9에 도시된 바와 같은 고주파 복합부품은 다이플렉서 및 SAW 듀플렉서를 복합한 것으로, 다이플렉서는 안테나(ANT)를 통해 수신된 신호를 제1 통신시스템 또는 제2 통신시스템으로 분배하며, 제1 통신시스템이나 제2 통신시스템으로부터 전송된 신호를 안테나로 보내는 기능을 한다. 한편, SAW 듀플렉서는 제1 통신시스템의 수신단(Rxc) 및 송신단(Txc)을 나누어 다이플렉서로부터 수신된 신호를 수신단(Rxc)에 보내고 송신단(Txc)으로부터 받은 신호를 다이플렉서로 보내는 역할을 한다.
- <78> 상기와 같이 다이플렉서 및 SAW 듀플렉서를 하나의 패키지에 구현하기 위해 다층기판에 여러 회로요소를 구현하게 된다. 즉, 상기 도 9에서는 제3 유전체층(S3) 내지 제6 유전체층(S6)에는 캐패시터 패턴층(510)들이 형성되고, 또한 제7 유전체층(S7) 내지 제9 유전체층(S9)에는 인덕터 패턴층(520)들이 구현된다. 제10 유전체층(S10) 내지 제16 유전체층(S16)을 통해 접지 및 인덕턴스 패턴층(500)이 형성되고, 최하층(S1)에는 다이오드, MLCC, 저항 등의 여러 소자류들이 부착되는 부착층(530)이 형성된다.
- <79> 상술한 바와 같이, 최근 하나의 세라믹 패키지에 여러 복합기능을 구현하는 복합모듈이 점차 상용화되고 있으며, 이러한 복합 모듈은 듀플렉서, 다이플렉서 등과 같은 여러 기능을 수행하게 된다. 이러한 여러 기능들을 패턴화하여 구현하기 위해서는 패키지의 캐비티 형성층(100)뿐 아니라 캐비티 하부의 부품 실장층(101)에 여러 회로 패턴들이 구현되어야 하며, 점차 그 집적도가 높아지고 있다. 따라서, 패키지에 형성되는 회로요소를

구현하기 위한 패턴 설계에 영향을 끼치지않고 패키지의 수직 하방으로 비아홀을 형성하는 것은 불가능하게 된다.

<80> 따라서, 본 발명의 세라믹 패키지는 상기와 같이 제2 내부 연결패턴 하부의 세라믹층에 여러 회로요소를 구현하는 내부 패턴들이 형성되는 구조에 적용하는 것이 가능하며, 이와 같은 세라믹 패키지는 연결패턴이 하부로 형성되지 않도록 함으로써 다수개의 세라믹층을 적층하여 형성되는 세라믹 패키지의 내부 패턴 설계 영역을 축소시키지 않도록 하여 설계 자유도를 향상시키는 특징을 갖게 된다.

<81> [제조공정]

<82> 본 발명에 의한 세라믹 패키지의 제조는 다음과 같은 단계를 따르게 된다.

<83> a) 다수개의 세라믹 기판을 마련하는 단계;

<84> 본 발명의 세라믹 패키지에 있어서의 적층체 구조물을 형성하는 세라믹 기판은 일정두께를 갖는 세라믹 그린 시트이며, 이러한 세라믹 기판들 상에는 금속 도포막이 일정형태로 도포되어 하나의 패턴층을 형성하게 된다. 이러한 패턴층은 적층되어 여러 회로요소의 기능을 수행하게 된다. 상기 패턴층은 Ag, Cu 등과 같은 금속으로 형성된다.

<85> 본 발명의 세라믹 패키지에 사용되는 다수개의 세라믹 기판은 적층시 각종 부품이 실장될 수 있는 캐비티를 형성하도록 마련된다.

<86> b) 상기 다수개의 세라믹 기판 중 일부 또는 전부에 회로 요소를 구현하도록 패턴층을 형성하는 단계;

- <87> 다수개의 세라믹 기판 중에서 일부 또는 전부에 회로요소를 구현하도록 하는 패턴층을 형성한다. 이와 같은 패턴층은 주어진 회로를 구현하기 위한 수동 소자(R, L, C) 등이 되며, 도 5의 도면번호 115로 도시되어 있다. 다수개의 세라믹 기판들에 패턴층을 형성하여 패턴층들의 조합으로 회로소자를 구현하도록 하는 LTCC 기술은 세라믹과 금속의 동시 소성이 가능한 공정 특징에 따라서 모듈내부에 수동소자를 구현할 수 있는 장점을 갖고 있으므로 부품들간의 복잡화와 경박단소화를 가능케 한다.
- <88> 또한 상기와 같은 패턴층은 세라믹 패키지의 설계조건에 따라 각 세라믹층들에 모두 형성될 수 있고, 또는 일부에만 형성될 수 있다.
- <89> c) 상기 다수개의 세라믹 기판 중 일부에 외부와 신호를 교환하는 외부 연결단자 및 상기 부품과 연결되는 내부 연결단자를 형성하는 단계;
- <90> 다수개의 세라믹 기판 중 일부, 특히 도 5에서의 부품 실장층(101)의 최상부면에 외부와 신호를 교환하기 위해 기판 외측에 형성되는 외부 연결단자(106) 및 내부에 장착될 부품과 연결되는 내부 연결단자(108)를 형성한다.
- <91> d) 상기 캐비티 상부면에 실장되는 리드 또는 상기 내부 연결단자를, 상기 외부 연결단자와 연결하는 내부 연결패턴을 적어도 2 이상의 세라믹 기판 상에 분할하여 형성하는 단계;
- <92> 상기와 같은 공정 단계를 거친후, 내부 연결단자 및 외부 연결단자 또는 리드와 외부 연결단자를 서로 전기적으로 연결하기 위한 내부 연결패턴을 형성한다. 다만, 내부 연결패턴은 종래와 같이 하나의 세라믹층 상에 연속적으로 형성하는 것이 아니라, 적어

도 2 이상의 세라믹 기판 상에 분할하여 형성하게 된다. 이는 도 5 내지 도 8b 및 도 10에 도시된 바와 같다.

<93> 내부 연결단자(108)와 외부 연결단자(106)를 연결하는 내부 연결패턴은 도 6을 예를 들어 설명하면, 두개의 세라믹층들에 걸쳐서 수평방향으로 형성된다. 즉, 내부 연결단자와 연결되는 제1 패턴(110)이 제1 세라믹층(121) 상에 수평방향으로 형성되고, 상기 제1 패턴(110)과 연결되도록 제2 세라믹층(122) 상에 수평방향으로 제2 패턴(105)이 형성된다.

<94> 상기와 같이 적어도 2개의 세라믹층들 사이에 분할되어 형성되는 내부 연결패턴은 리크 전달경로를 형성하지 않도록 하는 장점이 있게 되며, 또한 연결패턴이 하부로 형성되지 않도록 함으로써 다수개의 세라믹층을 적층하여 형성되는 세라믹 패키지의 내부 패턴 설계 영역을 축소시키지 않도록 하여 설계 자유도를 향상시키는 특징을 갖게 된다.

<95> e) 분할된 내부 연결패턴들이 서로 전기적으로 연결되도록 내부 연결패턴이 형성된 세라믹 기판 중 일부에 도전성의 비아홀을 형성하는 단계;

<96> 상기 제1 패턴(110)과 제2 패턴(105)들은 서로 비아홀(107)을 통해 전기적으로 연결된다. 도 6을 예를 들어 설명하면, 비아홀은 내부 연결패턴이 형성된 두개의 세라믹층 중에서 상부에 위치하는 세라믹층에 형성된다. 비아홀은 분할된 내부 연결패턴을 서로 전기적으로 연결하는 기능을 하게 된다.

<97> f) 상기 세라믹 기판들을 적층하는 단계;

<98> 상기와 같은 단계들을 거친 세라믹 기판들을 적정 압력으로 가압하여 세라믹 패키지를 형성한다. 이때 종래와 달리 패키지 내부에 리크 경로가 형성되는 것을 방지하게 되므로, 과다한 적층 압력이 필요하지 않게 되는 장점이 있다.

【발명의 효과】

<99> 이상과 같이 본 발명에 의하면 외부에서부터의 리크(leak) 현상이 발생하는 경로가 형성되는 것을 방지하여 세라믹 패키지의 리크 불량 발생을 방지할 수 있으며, 세라믹 기판 적층 패키지에 있어서 내부 캐비티의 기밀도 유지 성능을 개선할 수 있는 효과가 있다.

<100> 또한, 본 발명은 세라믹 패키지의 제조시 리크 불량을 방지하기 위하여 세라믹 기판들을 과도하게 가압하여 부품이 실장되는 바닥면의 평탄도가 열화되는 현상에 의한 부품의 실장 불량 현상을 방지할 수 있다.

<101> 또한, 본 발명은 세라믹 다층 기판들의 회로요소를 구현하기 위한 패턴의 설계자유도를 향상시키며, 제품을 소형화시킬 수 있는 효과가 있다.

<102> 본 발명은 특정한 실시예에 관련하여 도시하고 설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 벗어나지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당업계에서 통상의 지식을 가진 자는 용이하게 알 수 있음을 밝혀두고자 한다.

【특허청구범위】**【청구항 1】**

내부에 적어도 하나의 부품을 내장하는 세라믹 패키지에 있어서,

내부에 상기 부품이 실장될 수 있는 캐비티가 형성되고, 일부 또는 전부에 내부패턴이 형성된 다수개의 세라믹층이 적층되어 형성되는 적층체 구조물;

상기 캐비티 내부의 기밀을 유지하도록, 상기 적층체 구조물의 캐비티 상부에 장착되는 리드;

상기 적층체 구조물 외부에 형성되는 외부 연결단자;

상기 외부 연결단자와 전기적으로 연결되며, 적어도 2개의 세라믹층에 분할되어 수평방향으로 형성되는 내부 연결패턴; 및

상기 내부 연결패턴의 일부 또는 전부 및 상기 부품과 전기적으로 연결되도록 상기 캐비티 내에 형성되는 내부 연결단자;를 포함하는 세라믹 패키지.

【청구항 2】

제 1항에 있어서, 상기 분할된 내부 연결패턴들은 비아홀을 통해 서로 전기적으로 연결되는 것을 특징으로 하는 세라믹 패키지.

【청구항 3】

제 1항에 있어서, 상기 내부 연결패턴은 서로 인접한 세라믹층들에 분할되어 형성되는 것을 특징으로 하는 세라믹 패키지.

【청구항 4】

제 1항에 있어서, 상기 내부 연결패턴은 상기 리드에 인접하여 형성되는 제1 내부 연결패턴 및 상기 내부 연결단자와 연결되는 제2 내부 연결패턴을 포함하는 것을 특징으로 하는 세라믹 패키지.

【청구항 5】

제 3항에 있어서, 상기 제2 내부 연결패턴은 상기 내부 연결단자 전기적으로 연결되도록 같은 층상에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 내부 연결단자와 다른 층상에 형성되는 제2 패턴을 포함하는 것을 특징으로 하는 세라믹 패키지.

【청구항 6】

제 3항에 있어서, 상기 제1 내부 연결패턴은 상기 리드 실장층에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 제1 패턴 형성층과 다른 층상에 형성되는 제2 패턴을 포함하는 것을 특징으로 하는 세라믹 패키지.

【청구항 7】

제 4항에 있어서, 상기 제2 내부 연결패턴 하부의 세라믹층에는 여러 회로요소를 구현하는 내부 패턴들이 형성되는 것을 특징으로 하는 세라믹 패키지.

【청구항 8】

캐비티 내부에 부품을 실장할 수 있도록 형성되는 세라믹 패키지 제조방법에 있어서,

다수개의 세라믹 기판을 마련하는 단계;

상기 다수개의 세라믹 기판 중 일부 또는 전부에 회로 요소를 구현하도록 패턴층을 형성하는 단계;

상기 다수개의 세라믹 기판 중 일부에 외부와 신호를 교환하는 외부 연결단자 및 상기 부품과 연결되는 내부 연결단자를 형성하는 단계;

상기 캐비티 상부면에 실장되는 리드 또는 상기 내부 연결단자를, 상기 외부 연결단자와 연결하는 내부 연결패턴을 적어도 2 이상의 세라믹 기판 상에 분할하여 형성하는 단계;

분할된 상기 내부 연결패턴들이 서로 전기적으로 연결되도록 내부 연결패턴이 형성된 세라믹 기판 중 일부에 도전성의 비아홀을 형성하는 단계; 및

상기 세라믹 기판들을 적층하는 단계;를 포함하는 세라믹 패키지 제조방법.

【청구항 9】

제 8항에 있어서, 상기 내부 연결패턴은 서로 인접한 세라믹층들에 분할되어 형성되는 것을 특징으로 하는 세라믹 패키지 제조방법.

【청구항 10】

제 8항에 있어서, 상기 내부 연결패턴은 상기 리드에 인접하여 형성되는 제1 내부 연결패턴 및 상기 내부 연결단자와 연결되는 제2 내부 연결패턴을 포함하는 것을 특징으로 하는 세라믹 패키지 제조방법.

【청구항 11】

제 10항에 있어서, 상기 제2 내부 연결패턴은 상기 내부 연결단자와 전기적으로 연결되도록 같은 층상에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 내부

연결단자와 다른 층상에 형성되는 제2 패턴을 포함하는 것을 특징으로 하는 세라믹 패키지 제조방법.

【청구항 12】

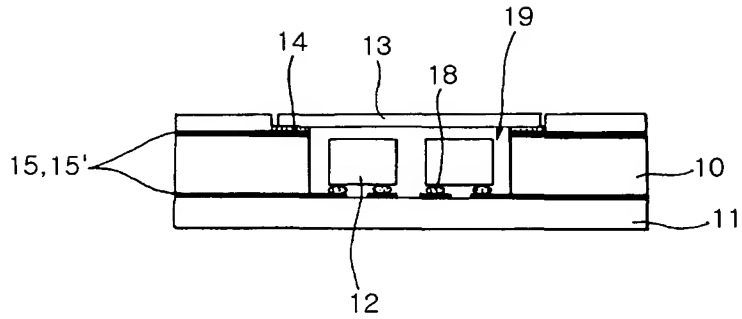
제 10항에 있어서, 상기 제1 내부 연결패턴은 상기 리드 실장층에 형성되는 제1 패턴, 및 상기 외부 연결단자와 연결되며 상기 제1 패턴 형성층과 다른 층상에 형성되는 제2 패턴을 포함하는 것을 특징으로 하는 세라믹 패키지 제조방법.

【청구항 13】

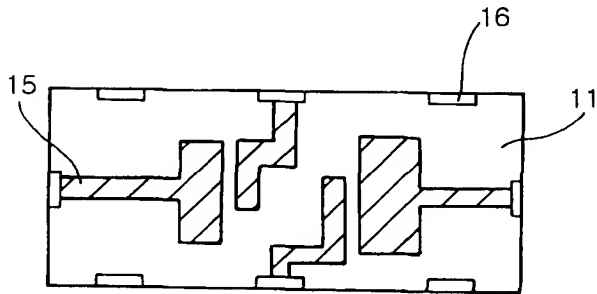
제 10항에 있어서, 상기 제2 내부 연결패턴 하부의 세라믹층에는 여러 회로요소를 구현하는 내부 패턴들이 형성되는 것을 특징으로 하는 세라믹 패키지 제조방법.

【도면】

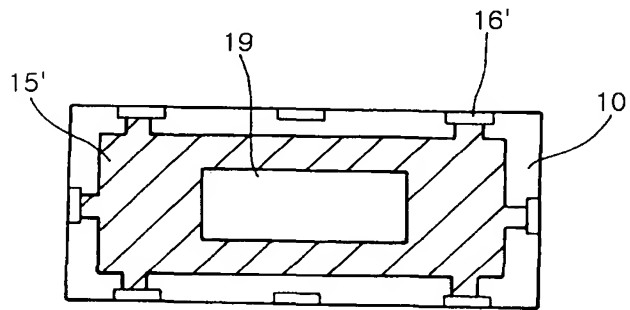
【도 1】



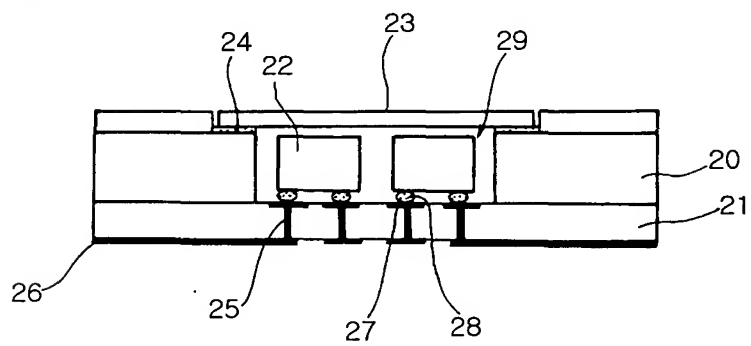
【도 2】



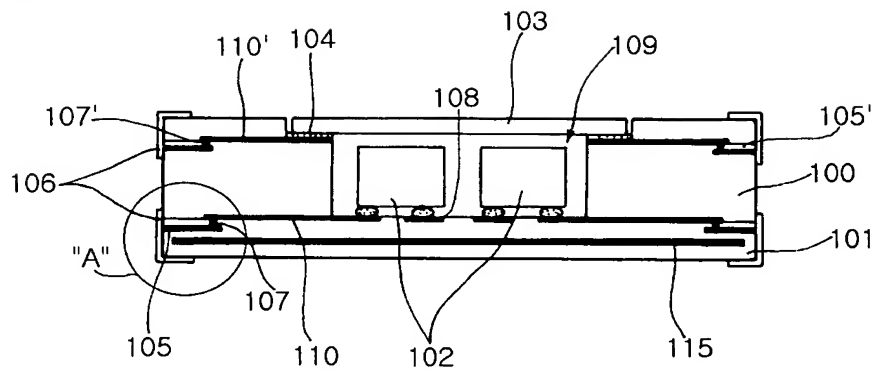
【도 3】



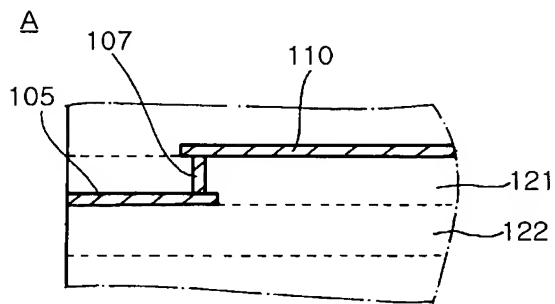
【도 4】



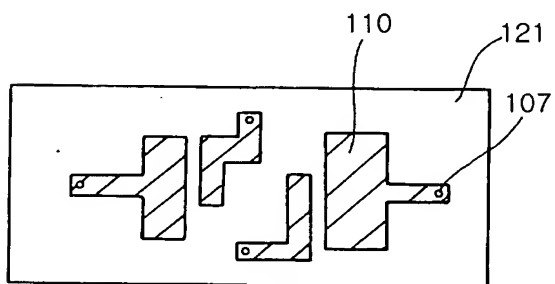
【도 5】



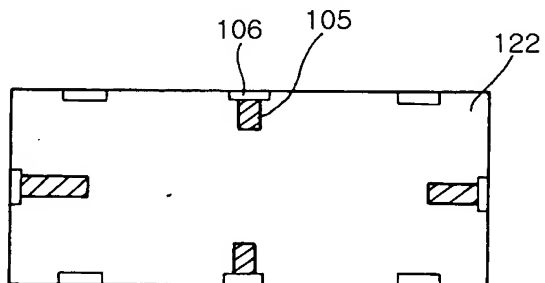
【도 6】



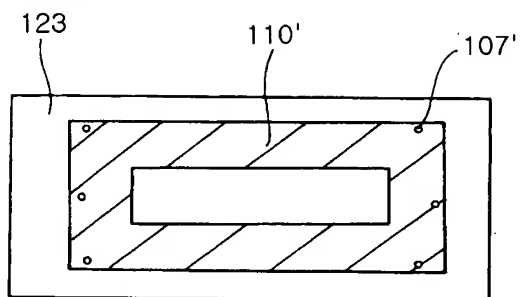
【도 7a】



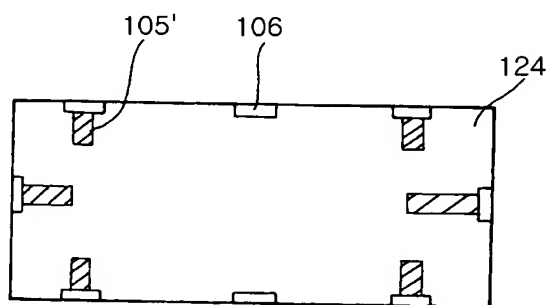
【도 7b】



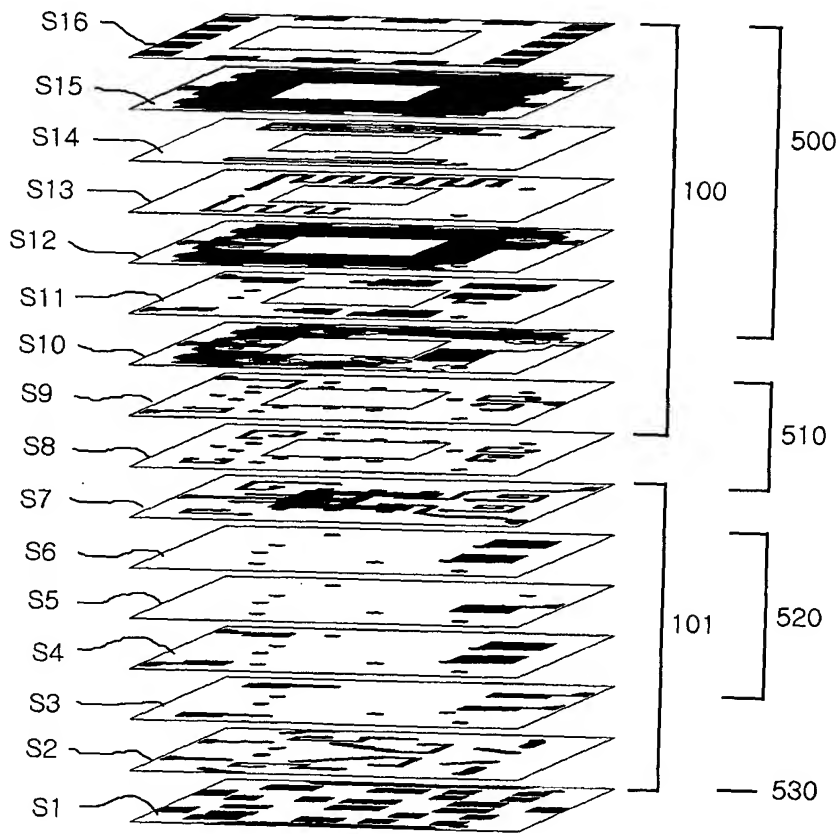
【도 8a】



【도 8b】



【도 9】



【도 10】

